

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月28日
Date of Application:

出願番号 特願2002-345823
Application Number:

[ST. 10/C] : [JP 2002-345823]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年 7月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 J0087778

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 宝玉 充

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 部分空乏型のSOI MOSFETのSPICEパラメータ抽出、SPICE計算及びデバイス解析の方法

【特許請求の範囲】

【請求項1】 SOI基板に形成される部分空乏型のSOI MOSFETに関し、

ボディー電流をあえて模型化せずに0と評価し、代りに回路動作中の定常状態の情報を、本来求められるべき量がマクロ的に包含されるマクロパラメータとして扱うことで、ボディー電流に係るパラメータ抽出並びに回路動作中の定常状態を求める計算を省略したことを特徴とする部分空乏型SOI MOSFETのSPICEパラメータ抽出及びSPICE計算の方法。

【請求項2】 SOI基板に形成される部分空乏型のSOI MOSFETに関し、

ボディー電流を0と評価する代りに、回路動作中の定常状態の情報を、本来求められるべき量がマクロ的に包含されるマクロパラメータとして扱うことで、回路動作中の定常状態を求める計算の手法を省略したことを特徴とする部分空乏型SOI MOSFETのSPICE計算の方法。

【請求項3】 SOI基板に形成される部分空乏型のSOI MOSFETに関し、

入力信号周期、出力負荷容量、並びに出力負荷抵抗を共に同じ比率：Xで増加させて、入力信号1周期経過後のボディー部における総電荷量の変動が0になるボディー部の総電荷量の初期値：Yを求めておき、さらにYをXの関数と捉えた上でX=1でのYの値を外挿することによって、部分空乏型SOI MOSFETの回路動作中の定常状態を求める特徴とするSPICE計算及びデバイス解析の方法。

【請求項4】 SOI基板に形成される部分空乏型のSOI MOSFETに関し、

実際の回路動作を模倣したトライアルパルスの周期をX倍に増加させることによってトライアル・パルスを相似的に引き伸ばし、トライアル・パルス1周期経

過後のボディー部における総電荷量の変動が0になるボディー部の総電荷量の初期値：Yを求めておき、さらにYをXの関数と捉えた上でX=1でのYの値を外挿することによって、部分空乏型SOI MOSFETの回路動作中の定常状態を求める特徴とするSPICE計算及びデバイス解析の方法。

【請求項5】 SOI基板上に形成される部分空乏型のSOI MOSFETに関し、

収束判定に用いられる誤差係数について、ボディー部の計算に専用の通常よりも小さい組と、ボディー部以外のノードの計算に用いられる通常の大きさの組とを併用することを特徴とした、部分空乏型SOI MOSFETのSPICE計算の方法。

【請求項6】 SOI基板上に形成される部分空乏型のSOI MOSFETに関し、

実効チャネル幅が知られておりかつボディー端子が設けられた部分空乏型のSOI MOSFETにおける定常状態のドレイン電流特性のボディー電位依存性を測定ないし模型化において、実効チャネル幅が知られている基板浮遊操作の部分空乏型SOI MOSFETの定常状態のドレイン電流に単位実効チャネル幅当たりの値で一致するボディー電位を直接ないし内挿／外挿によって求めておき、そのボディー電位をテーブル化して定常状態の解析に利用することを特徴とする、部分空乏型SOI MOSFETのSPICE計算の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SOI (Silicon On Insulator) 基板に形成されるMOSFETに係り、特にボディーが部分的にのみ空乏化する部分空乏型のSOI MOSFETについての、SPICEパラメータ抽出、SPICE計算、及びデバイス解析の方法に関する。

【0002】

【従来の技術】

SOI MOSFETは、SOI (Silicon On Insulator) 基板と呼ばれる絶



縁膜上に形成されたシリコン単結晶中にMOSFETを構成するものである。特に基板浮遊操作の部分空乏型SOI MOSFETでは、ボディー電荷量を変化させる源となるボディー電流に流入する電流（ボディー電流）の各成分がいずれも極めて小さく、当然そのボディー電荷量の変動もまた極めて小さい。このため、回路動作中においては、ボディー部とゲート／ソース／ドレイン／バックゲートの各ノード間との容量性結合が生じる。また、ボディー部に端子を設けて電位を固定して操作する方法においても、ボディー部あるいはボディー端子部における抵抗及び回路動作周波数が共に十分高い場合には、同様に容量性結合が生じることが知られている。

【0003】

このように、ボディー部の容量性結合が生じるSOI MOSFETでは、実際の回路動作中におけるボディー部の電位ひいては実効ドレイン電流特性がボディー部の総電荷量に支配されることになる。当然、デバイス解析並びにSPICE計算によって実効ドレイン電流特性を予測する際にも、回路動作中におけるボディー部の総電荷量を計算する必要がある。

【0004】

文献A. Wei et al., IEEE Trans. Electron Devices, vol. 45, pp. 430-438, 1998. には、SOI MOSFETについて、デバイス解析によって回路動作中におけるボディー部の総電荷量を計算する方法が開示されている。

【0005】

SPICEによるSOI MOSFETの回路解析では、一般に、ボディー電流すなわち、ダイオード電流、インパクト・イオン化の電流、及びGate-Induced-Drain-Leakage (GIDL) 現象の原因となるトンネル電流に併せて、ボディー部の容量-電圧特性（または電荷-電圧特性）を模型化することが必要であると考えられている。

【0006】

例えば、SOI MOSFETの静特性（出力特性及びサブスレッショルド特性）に現れるキンクは、インパクト・イオン化の電流によってボディー部の電位が増加する現象として理解されている。このキンク現象をシミュレーションで再



現できるように、現存の標準的な模型（U.C.BerkeleyによるBSIM3 のSOI 版：BSIMPDやU.Florida によるUFSOI 等）ではボディー電流の電流－電圧特性及びボディー部の容量－電圧特性の模型が用意されている。

【0007】

しかしながら、従来のバルク基板MOSFET技術ではさほど重要ではないボディー（基板）電流の電流－電圧特性及びボディー（基板）部の容量－電圧特性の模型に関して、その模型の細部を特定する係数を実素子に見合った形で評価、算出する手順を踏まなければならないことはかなりの負担となる。

【0008】

また、実際の回路動作中におけるボディー部の電荷の総量は、その変動量であるボディー電流が極めて小さいため、数百回ものスイッチング動作を経てある一定値のまわりで小さく変動する状態に収束する。回路解析の際には、そのボディー部電荷総量の収束値を予め計算しておき、かつ、その計算結果を解析の初期値に設定する必要がある。さらに、ボディー電流の絶対値は駆動電流のそれに比べて桁違いに小さいため、ボディー部の電荷総量ひいては電位の計算は高精度で行う必要性が生じ、計算にかける時間（計算時間）並びに収束性の確度にある程度の妥協はやむを得ない状況になる。

【0009】

【発明が解決しようとする課題】

部分空乏型のSOI MOSFETの回路解析では、ボディー部電流の電流－電圧特性及びボディー部の容量－電圧特性の模型の細部を特定する係数を実素子に見合った形で評価、算出し、回路動作中におけるボディー部電荷総量の収束値を予め計算する手順を踏まなければならない。つまりSPICEパラメータ抽出並びにSPICE計算の手順が複雑である。また、ボディー部の電荷総量ひいては電位の計算は、高精度で行う必要性を認めながらも計算時間並びに収束性を優先せざるを得ず、計算精度に対して妥協することとなる。

【0010】

本発明は上記のような事情等を考慮してなされたもので、部分空乏型SOI MOSFETのSPICEパラメータ抽出並びにSPICE計算、さらにはデバ

イス解析の手順の合理化を図ろうとするものである。

【0011】

【課題を解決するための手段】

本発明の【請求項1】に係るS P I C Eパラメータ抽出及びS P I C E計算の方法は、

S O I 基板に形成される部分空乏型のS O I M O S F E Tに関し、ボディー電流をあえて模型化せずに0と評価し、代りに回路動作中の定常状態の情報を、本来求められるべき量がマクロ的に包含されるマクロパラメータとして扱うことで、ボディー電流に係るパラメータ抽出並びに回路動作中の定常状態を求める計算を省略したことを特徴とする。

【0012】

本発明の【請求項2】に係る部分空乏型S O I M O S F E TのS P I C E計算の方法は、

S O I 基板に形成される部分空乏型のS O I M O S F E Tに関し、ボディー電流を0と評価する代りに、回路動作中の定常状態の情報を、本来求められるべき量がマクロ的に包含されるマクロパラメータとして扱うことで、回路動作中の定常状態を求める計算の手法を省略したことを特徴とする。

【0013】

上記それぞれ本発明に係る部分空乏型のS O I M O S F E TにおけるS P I C Eパラメータ抽出及びS P I C E計算の方法によれば、回路動作中の定常状態の情報を、ボディー電流特性から第一原理的に求める代りに、あえてマクロパラメータとして扱う。これにより、ボディー電流に係るS P I C Eパラメータの抽出並びに回路動作中の定常状態を求める計算が省略できる。ボディー電流の絶対値が小さいことに起因する計算精度と計算時間並びに収束性との間のトレードオフを考えれば合理的手段である。

【0014】

本発明の【請求項3】に係るS P I C E計算及びデバイス解析の方法は、

S O I 基板に形成される部分空乏型のS O I M O S F E Tに関し、

入力信号周期、出力負荷容量、並びに出力負荷抵抗を共に同じ比率：Xで増加

させて、入力信号1周期経過後のボディー部における総電荷量の変動が0になるボディー部の総電荷量の初期値：Yを求めておき、さらにYをXの関数と捉えた上でX=1でのYの値を外挿することによって、部分空乏型SOI MOSFETの回路動作中の定常状態を求める特徴とする。

【0015】

本発明の【請求項4】に係るSPICE計算及びデバイス解析の方法は、SOI基板に形成される部分空乏型のSOI MOSFETに関し、実際の回路動作を模倣したトライアルパルスの周期をX倍に増加させることによってトライアル・パルスを相似的に引き伸ばし、トライアル・パルス1周期経過後のボディー部における総電荷量の変動が0になるボディー部の総電荷量の初期値：Yを求めておき、さらにYをXの関数と捉えた上でX=1でのYの値を外挿することによって、部分空乏型SOI MOSFETの回路動作中の定常状態を求める特徴とする。

【0016】

上記それぞれ本発明に係る部分空乏型のSOI MOSFETにおけるSPICE計算及びデバイス解析の方法によれば、バイアス条件の変動の履歴パターンは変化することなく、周期のみがX倍に増加する。ところが、バイアス条件の変動の1周期が経過した後のボディー部における総電荷量の変動が0になるボディー部の総電荷量：Yの初期値は、バイアス条件の変動の履歴パターンにのみ大きく依存することが知られている。すなわち、YのX依存性が極めて小さく、X=1でのYの値を外挿することは極めて容易であることが示唆される。また、バイアス条件の変動の周期がX倍に増加することは、ボディー部における総電荷量の計算の精度もまたX倍に向上することを意味している。従って、計算時間並びに計算手順の負担を大きくすることなく、計算の精度を向上させることができる。

【0017】

本発明の【請求項5】に係る部分空乏型SOI MOSFETのSPICE計算の方法は、

SOI基板に形成される部分空乏型のSOI MOSFETに関し、収束判定に用いられる誤差係数について、ボディー部の計算に専用の通常より

も小さい組と、ボディー部以外のノードの計算に用いられる通常の大きさの組とを併用することを特徴としている。

【0018】

上記の本発明に係る部分空乏型SOI MOSFETのSPICE計算の方法によれば、ボディー部の計算のみを高精度に行うことが可能となる。それにより、ボディー電流ひいてはボディー部の総電荷量の変動が極めて小さく、そのボディー部の総電荷量ひいてはボディー部の電位の計算を高精度に行う必要性が生じることに対して、対応できるようになる。併せて、ボディー部以外のノードにおける駆動電流による充放電の計算は、通常の精度で行うことができるため、ボディー部を含む全ノードを高精度に計算するよりも効率がよい。

【0019】

本発明の【請求項6】に係る部分空乏型SOI MOSFETのSPICE計算の方法は、

SOI基板に形成される部分空乏型のSOI MOSFETに関し、実効チャネル幅が知られておりかつボディー端子が設けられた部分空乏型のSOI MOSFETにおける定常状態のドレイン電流特性のボディー電位依存性を測定ないし模型化において、実効チャネル幅が知られている基板浮遊操作の部分空乏型SOI MOSFETの定常状態のドレイン電流に単位実効チャネル幅当たりの値で一致するボディー電位を直接ないし内挿／外挿によって求めておき、そのボディー電位をテーブル化して定常状態の解析に利用することを特徴としている。

【0020】

上記本発明に係る部分空乏型のSOI MOSFETにおけるSPICE計算の方法によれば、【請求項1】のようにボディー電流を模型化しない場合であっても定常状態のボディー電位を計算することができる。

【0021】

【発明の実施の形態】

図1は、本発明の第1実施形態に係る部分空乏型SOI MOSFETのSPICEパラメータ抽出及びSPICE計算の方法を示す流れ図である。

また、図4には、部分空乏型SOI MOSFETの概略断面図を示す。埋め込み酸化膜またはボックス層と呼ばれるSiO₂膜41上にシリコン単結晶が形成され、例えばP型のボディー部42、チャネル部43を隔ててN型のソース・ドレイン領域44が形成されている。チャネル部43上にゲート酸化膜45を介してゲート電極46が構成されている。ゲート電極46の両側にはソース・ドレイン領域44よりも低濃度のN型のエクステンション領域441が形成後に設けられるサイドウォール（スペーサー）47が形成されている。以上、基板浮遊操作の部分空乏型SOI MOSFETを示した。因みに破線は、ボディー42の部分から端子が引き出されるボディー端子51が設けられた場合の部分空乏型SOI MOSFETの構成を示している。

【0022】

本発明では、部分空乏型SOI MOSFETの回路動作中の定常状態における電気特性を模型化の対象とする。回路動作中の定常状態とは、回路動作が1周期経過してもボディー電荷量が変化しない状態を指すものである。Q_bをボディー電荷量とすると、次式で規定される。

$$Q_b(t+tp) - Q_b(t) = 0 \quad \cdots (1)$$

ここで、Q_b(t)とは、任意の時刻tにおけるボディー電荷量を表している。また、t_pとは回路動作の1周期を意味している。

【0023】

図1において、まず、部分空乏型SOI MOSFETの電気特性を記述する抽出パラメータ、所定の回路に基いた電源や入力信号の条件、S P I C E 計算の収束判定に用いられる誤差係数等の所定パラメータを、対応する記述スタイルに則り設定する（処理S11）。ただし、このとき、実際の回路動作の1周期間にみられるボディー電荷量の変動は十分小さいものと考えて、ボディー電流特性を記述するパラメータは抽出せずにボディー電流を0（ゼロ）と評価する（処理S11a）。因みに、ボディー電流に係るパラメータは、例えばダイオード電流に係るパラメータ、寄生Bipolar Junction Transistor（BJT）電流に係るパラメータ、インパクトイオン化の電流に係るパラメータ、GIDL電流に係るパラメータ等である。

【0024】

そこで、ボディー電流特性を記述するパラメータの代りに、本来ボディー電流特性から求められる回路動作中の定常状態の情報をわざわざボディー電荷量ないしボディー電位振動を、ボディー電流特性の情報を包含したマクロパラメータとして扱う（処理S11b）。このようなマクロパラメータを含むパラメータ設定の後、過渡解析のためのS P I C E 計算を行う（処理S12）。なお、各マクロパラメータは、S P I C E 計算の入力情報から、また内挿／外挿を踏まえて各々算出するようにすればよい。

【0025】

上記実施形態の方法によれば、回路動作中の定常状態の情報を、ボディー電流特性から第一原理的に求める代りに、あえてマクロパラメータとして扱う。これにより、ボディー電流に係るS P I C E パラメータの抽出並びに回路動作中の定常状態を求める計算が省略できる。ボディー電流の絶対値が小さいことに起因する計算精度と計算時間並びに収束性との間のトレードオフを考えれば合理的手段である。

【0026】

例えば、部分空乏型S O I M O S F E Tで構成するC M O S インバータ回路の伝播遅延の計算をする場合、実際の回路動作の1周期間にみられるボディー電荷量の変動は十分小さいものと考えて、ボディー電流を0と評価するマクロパラメータを含んだ過渡解析を行う。通常の短時間の過渡解析をする場合には、誤差係数を大きめに設定すれば、計算時間並びに収束性を容易に優先させることができる。

【0027】

図2は、本発明の第2実施形態に係る部分空乏型S O I M O S F E TのS P I C E 計算及びデバイス解析の方法を示す流れ図である。基本的には、前に示した文献A. Wei et al., IEEE Trans. Electron Devices, vol. 45, pp. 430-438, 1998. に従って、ボディー部の電荷総量が異なる複数のデバイス内部状態を解析の初期状態として準備する（処理S21）。そして、実際の回路動作を模倣した入力信号、あるいはトライアル・パルスを所定ノードに印加し1周期経過後の総電荷量の

変動が0になるものが実効値であると判断するが、この実施例方法では次のような方策をとる。

【0028】

すなわち、処理S22に示すように、実際の回路動作を模倣した入力信号、あるいはトライアル・パルスについて、その周期をあえてX倍に増加させ、相似的に引き伸ばした波形とする。このような波形を所定ノードに印加する。これにより、1周期経過後の総電荷量の変動が0になるボディー部の総電荷量の初期値：Yを求める（処理S23）。その後、YをXの関数と捉えた上で、X=1でのYの値を外挿する（処理S24）。処理S24で外挿したYの値を実際の回路動作中における総電荷量の実効値であるものと判断する。

【0029】

上記実施形態の方法によれば、部分空乏型のSOI MOSFETにおけるS P I C E計算及びデバイス解析において、実際の回路動作の入力信号あるいはそれをイメージしたトライアル・パルスの周期をあえてX倍に大きくし、波形を引き伸ばした形に整形しておいてボディー部の総電荷量の初期値：Yを求める。そして、波形を引き伸ばさなかったX=1の場合の解析結果を外挿によって求める。波形を引き伸ばした時点では、バイアス条件の変動の履歴パターンは変化することなく、周期のみがX倍に増加する。ところが、バイアス条件の変動の1周期が経過した後のボディー部における総電荷量の変動が0になるボディー部の総電荷量の初期値：Yは、バイアス条件の変動の履歴パターンにのみ大きく依存することが知られている。すなわち、YのX依存性が極めて小さく、X=1でのYの値を外挿することは極めて容易であることを示唆している。また、バイアス条件の変動の周期がX倍に増加することは、ボディー部における総電荷量の計算の精度もまたX倍に向上することを意味している。従って、計算時間並びに計算手順の負担を大きくすることなく、計算の精度を向上させることができる。

【0030】

また、上記方法の代りに次のような方策をとることによって、計算精度を向上させてもよい。S P I C E計算の収束判定に用いられる誤差係数について、ボディー部の計算に専用の通常よりも小さく設定した組と、ボディー部以外のノード

の計算に用いられる通常の大きさに設定した組との両方を併用する。この方法によれば、ボディー部の計算のみを高精度に行うことが可能になる。それにより、ボディー電流ひいてはボディー部の総電荷量の変動が極めて小さく、そのボディー部の総電荷量ひいてはボディー部の電位の計算を高精度に行う必要性が生じることに対して、対応できるようになる。併せて、ボディー部以外のノードにおける駆動電流による充放電の計算は、通常の精度で行うことができるため、ボディー部を含む全ノードを高精度に計算するよりも効率がよいといえる。

【0031】

図3は、本発明の第3実施形態に係る部分空乏型SOI MOSFETのS P I C E計算の方法を示す流れ図である。前記第1実施形態において、ボディー電流特性を記述するパラメータの代りに、本来ボディー電流特性から求められる回路動作中の定常状態の情報すなわちボディー電荷量ないしボディー電位振動を、ボディー電流の情報を包含したマクロパラメータとして扱うよう述べた。一方、この第3実施形態では、ボディー電流特性を記述するパラメータの代りに、回路動作中ではなく通常の意味での定常状態のボディー電位をテーブル化して、それをS P I C E計算に用いる方法の一例を示す。

【0032】

実効チャネル幅が知られておりかつボディー端子が設けられたTゲートあるいはHゲート等の部分空乏型SOI MOSFETのドレイン電流特性を測定する。あるいは、同SOI MOSFETについての模型化がなされているならば、それを利用する。（処理S31）。そこで、実効チャネル幅が知られている基板浮遊操作の部分空乏型SOI MOSFETの定常状態のドレイン電流に単位実効チャネル幅当りの値で一致するボディー電位を直接ないし内挿／外挿によって求める（処理S32）。さらに、その求めたボディー電位をテーブル化してS P I C E計算による通常の意味での定常状態の解析に利用する（処理S33）。

【0033】

上記実施形態の方法によれば、第1実施形態に示したようにボディー電流を模型化しない場合であっても定常状態のボディー電位を計算することができる。よって、計算効率の向上が期待できる。

【0034】

上記各実施形態の方法によれば、ボディー電流を考慮した過渡解析において、回路動作中の電気特性は、S P I C E 計算の収束判定に用いられる誤差係数に強く依存する。また、誤差係数を小さくしてS P I C E 計算の精度を高める策は計算時間と収束性を犠牲にし、必ずしも有効ではない。むしろ、ボディー電流を0と評価し、マクロパラメータを含めた過渡解析により、誤差係数を大きく設定して計算時間と収束性を優先させる。実測結果の伝播遅延に合うようにボディーの総電荷量を決め、適合するボディー電位の振動パターンを決定するようとする。これにより、S P I C E 計算の合理化が達成できる。なお、ボディーに端子を設けた部分空乏型のS O I M O S F E T においても、ボディーの抵抗及び回路動作周波数が共に十分高いためにボディーの過渡的な容量性結合が生じる場合は、全く同じ手順の合理化が可能である。

【0035】

また、実際の回路動作を模倣した入力信号あるいはトライアル・パルスの周期をあえて大きくし、回路動作1周期経過後のボディー部の総電荷量についての不变量を求め、その後に周期を戻した場合の不变量を外挿によって求める。これにより、精度向上が図れる。あるいは、S P I C E 計算の収束判定に用いられる誤差係数について、ボディー部の計算に専用の通常よりも小さく設定した組と、ボディー部以外のノードの計算に用いられる通常の大きさに設定した組との両方を併用してもよい。さらには、予め定常状態のボディー電位を求めておき、それをテーブル化して定常状態のS P I C E 計算に用いることができる。

【0036】**【発明の効果】**

以上説明したように、本発明によれば、回路動作中の定常状態の情報を、ボディー電流特性から第一原理的に求める代りに、あえてボディー電流を0と評価し、むしろ同情報をそのままマクロパラメータとして扱う。これにより、ボディー電流特性に係るS P I C E パラメータの抽出並びに回路動作中の定常状態を求める計算が省略できる。ボディー電流の絶対値が小さいことに起因する計算精度と計算時間並びに収束性との間のトレードオフを考えれば合理的手段である。

【0037】

また、実際の回路動作を模倣した入力信号あるいはトライアル・パルスの周期をあえて大きくし、回路動作1周期経過後のボディー部の総電荷量についての不变量を求め、その後に周期を戻した場合の不变量を外挿によって求める。これにより、精度向上が図れる。あるいは、S P I C E 計算の収束判定に用いられる誤差係数について、ボディー部の計算に専用の通常よりも小さく設定した組と、ボディー部以外のノードの計算に用いられる通常の大きさに設定した組との両方を併用してもよい。さらには、予め定常状態のボディー電位を求めておき、それをテーブル化して定常状態のS P I C E 計算に用いることができる。この結果、部分空乏型S O I M O S F E T のS P I C E パラメータ抽出並びにS P I C E 計算、さらにはデバイス解析の手順の合理化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態に係る部分空乏型S O I M O S F E T のS P I C E パラメータ抽出及びS P I C E 計算の方法を示す流れ図である。

【図2】

本発明の第2実施形態に係る部分空乏型S O I M O S F E T のS P I C E 計算及びデバイス解析の方法を示す流れ図である。

【図3】

本発明の第3実施形態に係る部分空乏型S O I M O S F E T のS P I C E 計算の方法を示す流れ図である。

【図4】

部分空乏型S O I M O S F E T の概略断面図を示す。

【符号の説明】

S11, S11a, b, S12, S21～S24, S31～S33…処理ステップ

4 1…S i O₂膜（埋め込み酸化膜）

4 2…ボディー部

4 3…チャネル部

4 4…ソース, ドレイン領域

4 4 1 …エクステンション領域

4 5 …ゲート絶縁膜

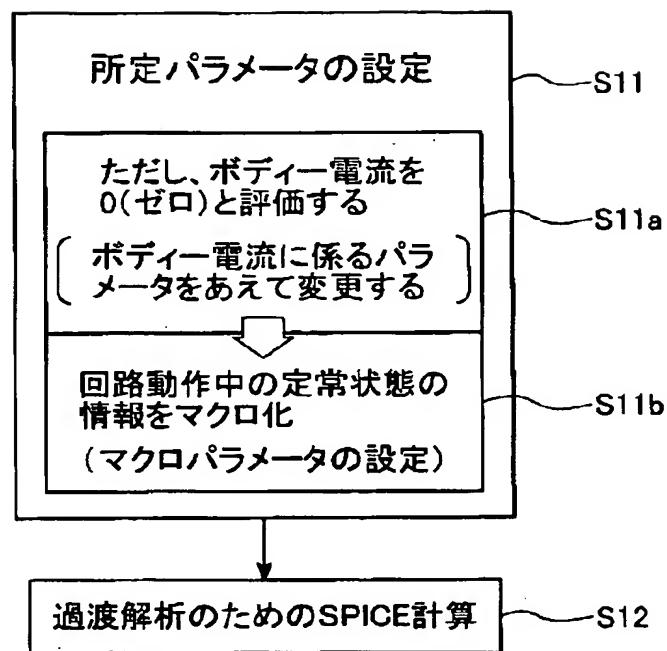
4 6 …ゲート電極

4 7 …サイドウォール (スペーサー)

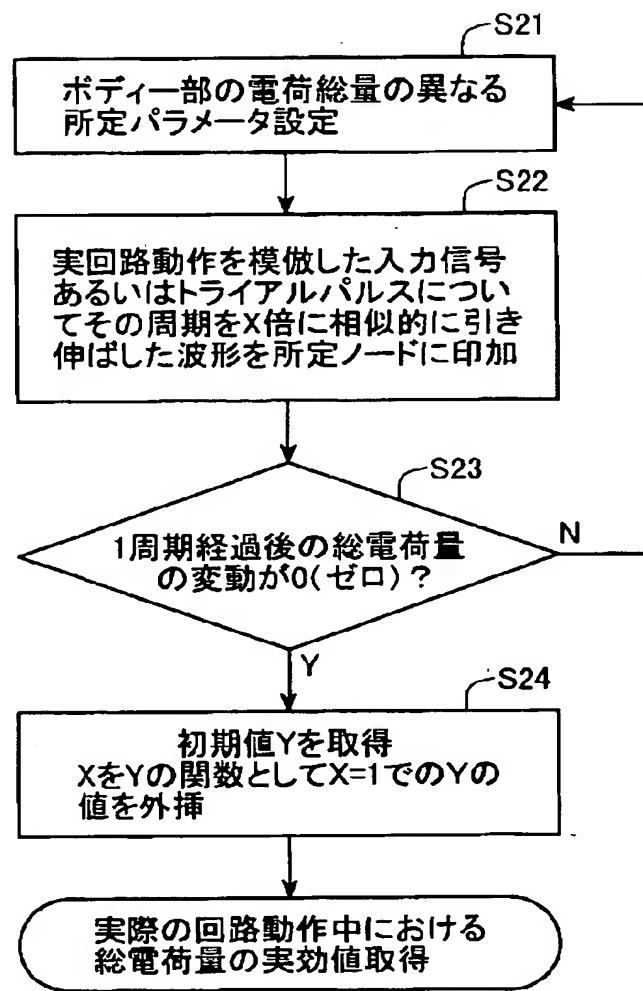
5 1 …ボディー端子

【書類名】 図面

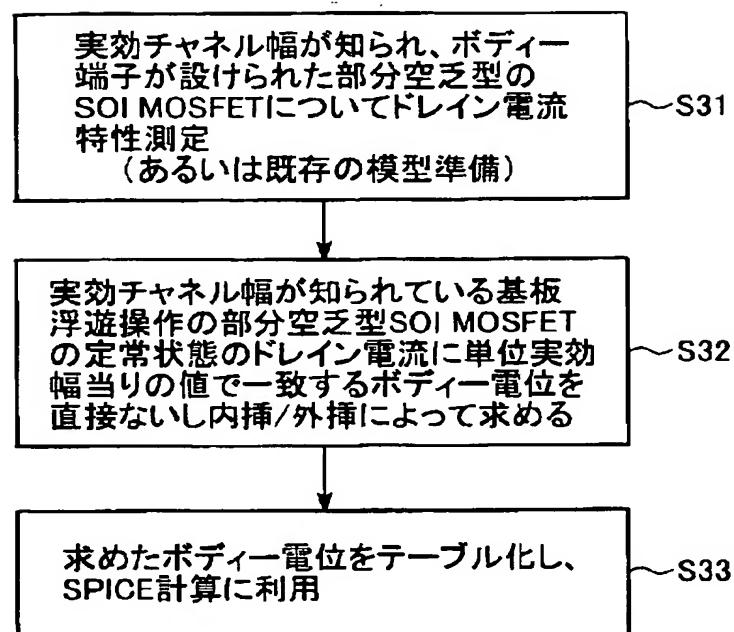
【図1】



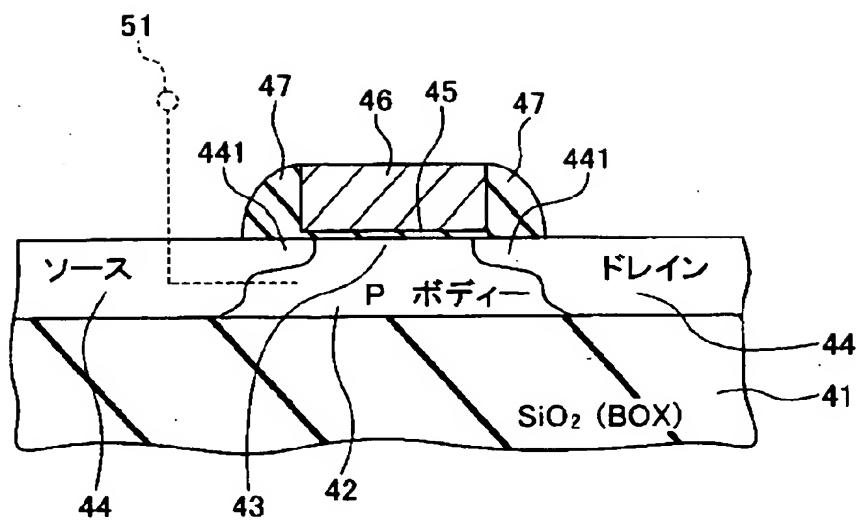
【図2】



【図3】



【図 4】



【書類名】 要約書

【要約】

【課題】 部分空乏型SOI MOSFETのSPICEパラメータ抽出並びにSPICE計算、さらにはデバイス解析の手順の合理化を図る。

【解決手段】 所定パラメータを設定する（処理S11）。このとき、ボディー電流特性を記述するパラメータは抽出せずにボディー電流を0（ゼロ）と評価する（処理S11a）。そこで、ボディー電流特性を記述するパラメータの代りに、本来ボディー電流特性から求められる回路動作中の定常状態の情報すなわちボディー電荷量ないしボディー電位振動を、ボディー電流特性の情報を包含したマクロパラメータとして扱う（処理S11b）。このようなマクロパラメータを含むパラメータ設定の後、過渡解析のためのSPICE計算を行う（処理S12）。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-345823
受付番号	50201802512
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月29日

<認定情報・付加情報>

【提出日】 平成14年11月28日

次頁無

特願2002-345823

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社